

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-284174

(43) 公開日 平成11年(1999)10月15日

(51) Int.Cl.⁶
H01L 29/78

識別記号

F I
H01L 29/78

653A

審査請求 未請求 請求項の数13 OL (全 8 頁)

(21) 出願番号 特願平11-19040

(22) 出願日 平成11年(1999)1月27日

(31) 優先権主張番号 09/14115

(32) 優先日 1998年1月27日

(33) 優先権主張国 米国 (US)

(71) 出願人 598049517

フェアチャイルド・セミコンダクター・コーポレーション

Fairchild Semiconductor Corporation

アメリカ合衆国メイン州04106・サウスポートランド・ウエスタンアベニュー 333

(72) 発明者 ダニエル エス. カラファット

アメリカ合衆国, カリフォルニア

94086, ノースウエスト サニーベル,

ウエスト カリフォルニア アベニュー 811

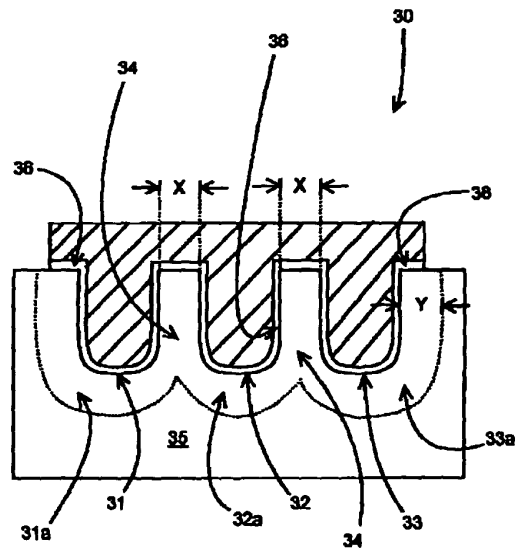
(74) 代理人 弁理士 小橋 一男 (外1名)

(54) 【発明の名称】 トレンチ技術を使用したフィールド結合型パワーMOSFETバスアーキテクチャ

(57) 【要約】

【課題】 トレンチ技術を使用した改良したパワーMOSFETバスアーキテクチャを提供する。

【解決手段】 マスク製造プロセスを減少させるためにトレンチ技術を使用したパワー金属・酸化物・半導体電界効果トランジスタ (MOSFET) 装置を提供する。本パワーMOSFET装置は、従来同様の装置を製造する場合に必要とされていたマスク数より少ない数のマスクを使用して形成した複数のゲートトレンチを具備するゲート信号バスを有している。トレンチの二次元挙動が有益な電界結合効果を与え、それがゲートポリシリコン下側において一般的に使用される二酸化シリコンからなる厚い層を必要とすることなしにホットキャリアの発生を抑圧する。パワーMOSFETの製造において容易に制御可能なシリコントレンチエッチングを使用することによって、安定であり低コストで且つ歩留りの高い製造技術が得られる。



【特許請求の範囲】

【請求項1】 金属・酸化物・半導体（MOS）構成体において、

（a）上表面と内側領域とを具備する基板が設けられており、前記上表面はその中に位置されている複数のトレンチを有しており且つ前記内側領域へ向かって延在しており、

（b）前記複数のトレンチの中でその壁の上及び前記基板の前記上表面の上の両方に一様に酸化物層が位置されており、

（c）前記酸化物層の上に表面構成体が形成されており、前記複数のトレンチ内へ延在している前記表面構成体の部分によって複数のゲートが形成されている、ことを特徴とするMOS構成体。

【請求項2】 請求項1において、前記複数のトレンチが4個以上設けられており、且つ前記複数のトレンチが所定の幅だけ離隔されていることを特徴とするMOS構成体。

【請求項3】 請求項2において、前記所定の幅が拡張された空間電荷境界を与えるためにトレンチフィールド結合を形成するのに十分な大きさであることを特徴とするMOS構成体。

【請求項4】 請求項1において、前記ゲートがある距離だけ互いに離隔されており、前記距離が予め定められており且つ前記MOS構成体を横断しての印加電圧と前記基板のドーパント濃度の両方に依存するものであることを特徴とするMOS構成体。

【請求項5】 請求項3において、前記MOS構成体がゲート信号バスであることを特徴とするMOS構成体。

【請求項6】 請求項4において、前記MOS構成体がゲート信号バスであることを特徴とするMOS構成体。

【請求項7】 金属・酸化物・半導体（MOS）装置において、

（a）上表面と内側領域とを具備する基板、

（b）前記基板内に位置されているゲート信号バスであって、前記上表面内に位置されており且つ前記内側領域へ向かって延在する複数のトレンチと、前記複数のトレンチ内でその壁の上及び前記基板の前記上表面の上の両方に一様に位置されている酸化物層と、前記酸化物層の上に形成されている表面構成体と、複数のゲートを形成するために前記複数のトレンチ内へ延在する前記表面構成体の一部とを有しているゲート信号バス、

（c）前記基板内に位置されており且つ前記表面構成体の両側に配設されている少なくとも2個のP型物質からなるPウェル、

（d）前記表面構成体の下側に位置されており各々が前記少なくとも2つのPウェルの一方の上方に配設されている少なくとも2個のN型物質からなるNウェル、

（e）前記表面構成体の上に付着形成されている誘電体層、

（f）前記誘電体層の上に付着形成されている上部金属、を有することを特徴とするMOS装置。

【請求項8】 請求項7において、前記酸化物層の上の前記表面構成体が前記複数のトレンチのうちの4個又はそれ以上の上方に形成されており、且つ前記複数のトレンチが所定の幅だけ離隔されていることを特徴とするMOS装置。

【請求項9】 請求項8において、前記所定の幅が拡張空間電荷境界を与えるためにトレンチフィールド結合を形成するのに十分な大きさであることを特徴とするMOS装置。

【請求項10】 ゲート信号バスを製造するためのトレンチ方法において、

（a）基板の上表面内に複数のトレンチをエッチング形成し、

（b）前記基板の前記上表面及び前記複数のトレンチの全ての露出された表面上に酸化物層を一様に付着形成し、

（c）前記基板の前記表面に至るまで前記複数のトレンチをN+型物質で充填し、

（d）前記複数のトレンチのうちの少なくとも二つの上方において前記酸化物層の上にN+型物質から表面構成体を形成し、

（e）前記基板内にP型イオンからなる少なくとも1個のPウェルを前記表面構成体のそばに位置させて形成し、

（f）前記基板内にN型イオンからなる少なくとも1個のNウェルを前記表面構成体のそばに位置させ且つ前記少なくとも1個のPウェルの上方に位置させて形成し、

（g）前記表面構成体の各々の上にソースコンタクト用のギャップをそれらの間に残存させながら誘電体層を付着形成し、

（h）前記誘電体層及び前記ギャップの両方の上に上部金属を付着形成する、上記各ステップを有することを特徴とするトレンチ方法。

【請求項11】 請求項10において、前記酸化物層の上に前記表面構成体を形成するステップを前記複数のトレンチのうちの4個又はそれ以上の上方において実施し、且つ前記複数のトレンチが所定の幅だけ離隔されていることを特徴とするトレンチ方法。

【請求項12】 請求項11において、前記所定の幅が拡張空間電荷境界を与えるためにトレンチフィールド結合を形成するのに十分な大きさであることを特徴とするトレンチ方法。

【請求項13】 請求項10において、前記少なくとも1個のPウェルを形成するステップを、前記基板内にP型イオンを注入することによって行い、且つ前記少なくとも1個のNウェルを形成するステップを前記基板内にN型イオンを注入することによって行うことを特徴とするトレンチ方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、パワー半導体装置の技術分野に関するものであって、更に詳細には、本発明は、電界効果トランジスタ(FET)装置を製造するために使用する二重拡散金属・酸化物・半導体(DMOS)型技術を使用した半導体装置に関するものである。更には、本発明は、このような装置を実現するためにトレンチDMOS-FET技術を使用する構成体に関するものである。更に詳細には、本発明は、再設計されたゲート信号バスを提供し、その場合に、MOSTレンチがトレンチ間での電界結合を発生させるために並列形態に配列され、ゲート信号バスの周りの区域内におけるピーク電界を減少させる技術を提供している。

【0002】

【従来の技術】MOS装置、特に、MOS電界効果トランジスタ(MOSFET)は、現在の電子システムの基本的なコンポーネントを表わしている。パワーMOSFETは0.5Wを超えるパワーを散逸することが可能であり且つ物理的には典型的なMOSFETよりも一層大きいという点において、MOSFETはパワーMOSFETと異なっている。ドレイン対ソース電圧が150Vより小さなパワーMOSFETは、通常、低電圧パワーMOSFETとして識別され、且つ、典型的に、「パワー管理」適用例において使用される。このような適用例としては、これらに制限されるべきものではないが、パワースイッチ、スイッチングレギュレータ、リニアレギュレータなどがある。本発明の中心となるものはこのタイプのパワーMOSFETである。

【0003】パワーMOSFETの一つのタイプは、DMOSTランジスタとも呼ばれる二重拡散型FETである。DMOSTランジスタを製造する場合にはトランジスタチャンネル領域を形成するために拡散を使用する。パワーMOSFETは、基本的に、ユニットセルとしてのDMOSTランジスタを多数配列させた大きなアレイであり、ゲート動作信号を均一に分布させ且つ装置ブレイクダウン電圧を制御するために幾つかの付加的な要素を有している。DMOS装置は低パワー散逸及び高速能力を提供する利点を有している。従って、DMOS技術は今日のハイパワー集積回路適用例の高電圧回路において望ましいものである。このようなDMOS技術を使用するパワーMOSFETが使用される適用例は、高電圧遠距離通信回路からパソコンにおいて使用される3.3VのDC・DC変換器の範囲に亘っている。DMOS技術を使用する装置はほぼ20年に亘りこれらの適用例において一般的なものとなっている。装置の製造及び装置の特性に関してのDMOS技術における多くの進展もこの期間の間になされている。現在のところ、パワーMOSFETは3番目に最も速い成長市場を表わしている。性能の向上はセル密度を増加させることによって達成さ

れ、そのことはユニットセル即ち単位セルの寸法を減少させることを意味している。パワーMOSFETは量が多く且つ競争の激しい製品であるから、安定で、低コストで、且つ歩留りの高い製造プロセスとなる製造上の革新にプレミアムが付けられている。

【0004】パワーMOSFETの製造分野において、使用されているその他の多様なプロセスが存在している。DMOSパワーMOSFETに対する支配的な装置構造を製造するためには、所謂「プレーナープロセス」製造方法が存在していた。プレーナープロセスはMOSFETチャンネル及びゲート構造がシリコンウエハ表面と同一面状であることからその名前が由来している。図1において、従来のDMOS構造がプレーナープロセスによって製造したプレーナーDMOS構成10の形態で示してある。このプレーナー構成はDMOSパワーMOSFETの主流な製造において支配的なものである。図1において、DMOS構成体10はチャンネル12とゲート構成体13とを有している。チャンネル12及びゲート構成体13の両方共シリコンウエハ表面11に対して同一面状にある。プレーナープロセスは何年にも亘り洗練化されたものであるが、それはかなりのスケールアップ上の制限を有している。このような制限は、プレーナープロセスが所謂小型セル寸法へスケールアップされる場合に特に顕著なものとなる。パワーMOSFETにおける性能上の向上がセル密度を増加させることによって、従って単位セル寸法を減少させることによって達成される場合には、このようなプレーナーDMOS装置に対するプレーナープロセスアプローチにおける制限が製造装置のホトリソグラフィ上の制限よりもかなり速く表われる。この問題はパワーMOSFETのチャンネル特性を制御するために使用されるポリシリコンゲートから発生するものである。基本的には、与えられた接合深さに対するゲート寸法は、所謂JFET抵抗を強制的に重要なパラメータである装置の全体的なON状態抵抗の支配的な構成要素とさせることなしに無制限に減少させることは不可能である。JFET抵抗は接合電界効果トランジスタ(JFET)動作からその名前が由来しており且つ層間の構造上の接合の特性から発生する。

【0005】上述した従来技術のプレーナープロセスの発展と時期を同じくして、JFET抵抗が支配的な構成要素となることを防止する目的でその他の技術が開発されている。より詳細に説明すると、パワーMOSFETを製造する場合の新しい技術では、エッチトレンチの側壁に沿って装置のチャンネルを形成することによってJFET問題を回避している。この別の従来技術の構成を図2に示してあり、且つトレンチDMOS構成体20を有している。トレンチDMOS構成体20はゲート23のそばのトレンチ24の側壁25に沿ってゲートチャンネル22を有している。トレンチ24はシリコンウエハ表面21内にエッチング形成されており、従ってチャン

ネル22はシリコンウエハ表面21に対して垂直に位置されている。このタイプの製造プロセスは「トレンチD MOS技術」又は単に「トレンチ技術」と呼ばれている。このトレンチ技術の利点は、事実上JFET問題を排除することである。このことはセル密度を数倍増加させることを可能とし、その場合の制限事項は製造装置によって課されるもののみとなる。

【0006】典型的なパワーMOSFET構成においては、空乏領域の幅がその領域を横断して存在する電界、従って電圧降下を決定する。従って、この大きさを超える印加電圧は薄いゲート酸化物層を横断して部分的に降下されねばならない。このことが大きくなりすぎると、ホットエレクトロンが発生される場合があり、そのことは不可逆的な装置ブレイクダウンを発生する場合がある。典型的に、このことはポリシリコンゲートの下側に熱的に成長された二酸化シリコンからなる厚い層（例えば、8500Å）を配置させることによって緩和される。この付加的な酸化物層は些細なことではない。それは、実効的には、一つ乃至三つの付加的なホトマスクステップを表わしており、且つそれを成長させるための熱サイクルは比較的に長いものである。ある場合には、9時間もの熱サイクルが必要とされる。更に、この付加的な酸化物層は顕著なイオン汚染の発生源であることが一般的である。この様な汚染は与えられた装置の信頼性に悪影響を与える場合がある。本発明のパワーMOSFET構成体におけるトレンチ技術の使用はこの付加的な酸化物層に対する必要性を排除している。

【0007】トレンチ技術は、これまで、充分完全に使用されているものではない。トレンチ技術が使用されていない一つの分野はパワーMOSFETバスアーキテクチャにおけるものである。トレンチ又はその他の技術を使用する現在のパワーMOSFETの製造は、ホットエレクトロンの注入を抑圧するためにポリシリコンゲートバス構成体の下側に厚いフィールド酸化物層を設けることを必要とする。この問題に対処するその他の方法は、ゲートバス内に不純物接合を形成することを包含しており、そのことは、フィールド結合メカニズムを暗示している。しかしながら、このことはゲートバスに対してより多くの面積を必要とする。なぜならば、注入したイオンがシリコン表面下側に入ることを可能とするためにポリシリコンバス内に孔をエッチング形成せねばならないからである。更に、これらの接合は電氣的にフローティングしており、従って、良好に画定された電圧を有するものではない。このことは動的性能を劣化させる場合がある。なぜならば、接合近くの多数のキャリアがあるバイアス条件下において変調される場合があるからである。

【0008】従って、従来技術ではトレンチ技術を効率的に利用することが可能なMOSFETバスアーキテクチャを提供するものではない。従って、MOSFET装

置の要素、即ちゲート信号バスを再設計するためにトレンチ技術を使用するMOSFET装置の製造方法が必要とされている。又、下側に存在するエピタキシャル層によってサポートされる最大値までの電圧に耐えることの可能なMOSFETバス構成体を形成するMOSFET装置の製造技術が必要とされている。更に、製造プロセスが短縮化され従ってコストがより低いその様な製造方法が必要とされている。トレンチ技術を使用することを望ましいものとさせるものは効果的なバスアーキテクチャを効率的に製造する能力である。

【0009】

【発明が解決しようとする課題】本発明は、以上の点に鑑みなされたものであって、上述した如き従来技術の欠点を解消し、トレンチ技術を使用するパワーMOSFETバスアーキテクチャを提供することを目的とする。本発明の別の目的とするところは、その様なバスアーキテクチャを製造する方法を提供することである。本発明の更に別の目的とするところは、向上させた空乏領域幅を持ったMOSTレンチを具備するその様なバスアーキテクチャを提供することである。本発明の更に別の目的とするところは、バス装置の下側に存在するエピタキシャル層によってサポートされる最大値までの電圧に耐えることの可能なバス装置を提供することである。本発明の更に別の目的とするところは、トレンチ技術を使用して同等の従来技術装置よりもより迅速に且つコスト効果的に製造されるその様なバス装置を提供することである。

【0010】

【課題を解決するための手段】本発明はパワーMOSFET装置のゲート信号バスを再設計するためにトレンチ技術を使用することを一つの特徴としている。バスアーキテクチャにおける革新は、トレンチの空乏領域幅を互いに結合させるような態様で配置させたMOSTレンチを使用することによって達成される。この様な配置は下側に存在するエピタキシャル層によってサポートされる最大値までの電圧に耐えることの可能な構成を形成する。全てのMOS構造の特性である空乏層の発生は本発明のこのアプローチが有効なものであるために重要なものである。各空乏領域の性質及び本発明において空乏領域幅を結合させる手段はMOSシステムを横断しての印加電圧と半導体ドーパント濃度の両方に依存する。これらのファクタはそのMOSシステムを使用する装置によって必要とされる仕様によって決定される。トレンチ間の間隔は空乏領域幅結合における重要なファクタである。従って、トレンチの間隔は最終的な装置の要求によって影響される。

【0011】本発明において使用されるトレンチプロセスは、パワーMOSFET装置を製造するのに必要なマスク数を減少させる。現在の技術は、一般的に、装置を製造するために最大で9個の「ホット」マスクステップを必要とする。本発明は必要とされるマスクステップを一

つだけ減少させる。それは、更に、比較的長期間の熱酸化膜形成プロセスを排除く。

【0012】このタイプの「マスクを減少させた」装置の独特の特徴は電流導通経路である。従来のプレーナーMOS装置におけるように横方向ではなく、本発明のMOS装置における電流導通経路は垂直な経路であって、それはエピタキシャル層と基板とを介して延在している。更に、本発明においては、チャンネル接合はポリシリコン及びトレンチに対して自己整合されている。初期的なシミュレーション及び実験では1ミクロンの幅で2ミクロンの深さのトレンチ寸法によって適切な結果が得られた。初期的なシミュレーションはMEDICI二次元装置シミュレータで行い且つエッジ終端構造でプロトタイプを構成した。マスクを減少させることを可能とするフィールド結合効果はトレンチ技術の二次元挙動の結果である。シリコントレンチエッチングを製造において極めて容易に制御することが可能であるという事実は、本発明を、パワーMOSFETバス装置製造のための貴重なアプローチとしている。

【0013】ゲートバスを形成する各トレンチの空乏領域の結合を介して向上された電圧保護が本発明において発生する。与えられたゲートバス内において、単一のポリシリコン表面構成体の下側に複数個のトレンチを形成する。各トレンチは拡張された空乏領域を形成するために、隣接するゲートトレンチ間のN-エピタキシャル基板物質の各空間内における空乏領域に貢献する。その結果得られる集成的な空乏領域における増加が通常動作条件期間中において増加された電圧をサポートする能力を有するゲートバスを提供する。この様に向上された過剰電圧保護は、トレンチの構造的配列を介して達成され且つ任意の与えられた適用例に対しての間隔を決定することによって容易に制御される。

【0014】

【発明の実施の形態】図3において、本発明の好適実施例に基づく電圧保護に関して向上させたメカニズムが示されている。特に、図3はトレンチ技術を使用したパワーMOSFETゲート信号バス30（簡単化して示してある）を示している。ゲート信号バス30はトレンチ31、32、33を有している。これらのトレンチ31、32、33は互いに並列されており且つ距離Xだけ離隔されてN+基板内に配置されている。この様な態様でトレンチ31、32、33を形成すると、隣接するトレンチ31、32及び32、33の間に空乏領域オーバーラップ部34が形成され、従って空乏領域31aは空乏領域32aと結合され且つ空乏領域32aは空乏領域33aと結合される。この様に、ゲート信号バス30は下側に存在するエピタキシャル層35によってサポート即ち支持される最大値までの電圧に耐えることが可能である。空乏領域31a、32a、33aの発生は、全てのMOS構造の特性であり、且つ、この場合には、本発明

の実現にとって重要なことである。空乏領域31a、32a、33aの特性はよく理解されており且つMOSシステムを横断しての印加電圧と半導体ドーパント濃度とに依存することが知られている。従って、トレンチ31、32、33の間の間隔距離Xは任意の与えられた最終装置が必要とする所要の仕様に関連している。

【0015】更に、図3を参照して説明すると、空乏領域31a、32a、33aの各々は空乏領域幅Yを有するものとして示されている。この空乏領域幅Yはその領域を横断して存在する電界、従って電圧降下を決定する。従って、この大きさを超える任意の印加電圧は薄いゲート酸化物層36を横断して部分的に降下されねばならない。このことが余り大きくなりすぎると、ホットエレクトロンが発生する場合があります、そのことは不可逆的な装置のブレイクダウンを発生する場合があります。熱的に成長させた二酸化シリコンからなる厚い層（不図示）が、典型的に、プレーナー構造及び単一トレンチ構造においてこの様なブレイクダウンを防止するためにゲート酸化物層36の下側に配置されるが、この様な付加的な層は、典型的に、製造に時間がかかると共にコスト高となる。このエキストラな層は図3に示したように本発明においては必要なものではない。なぜならば、空乏領域幅のオーバーラップ部34が、実効的に、トレンチ電界結合に起因して図3aに示したように、空間電荷境界37を拡張させるからである。

【0016】図4a乃至4fは本発明の好適実施例に基づいてトレンチ技術を使用して電界結合型パワーMOSFETバスを製造する一連のステップを示した概略図である。図4aにおいて、シリコン表面40が離隔されたトレンチ41が形成された状態で示されている。例えば異方性エッチングと共にホトレジストマスク付着などの任意の適宜の製造方法を使用することが可能である。特に、好適実施例に関しては、密接して整合させたトレンチ41からなる中央のグループ42が形成されている。この中央のグループ42はゲートバスを形成するために必要とされる初期的な構成である。中央のグループ42内の各トレンチ41は図3を参照して上に説明したように、所定の距離Xだけ互いに離隔されている。この距離Xは電気的特性（即ち、そのブレイクダウン電圧値）によって決定される。図4bにおいて、ゲート酸化物層43がシリコン表面40の露出した上部部分の上に形成されている状態が示されている。ゲート酸化物層43は二酸化シリコンからなる比較的薄い層（好適には、400Å）である。ゲート酸化物層43の上部端部から底部トレンチ端部への全体的な深さ44は、この場合においては、約2.0ミクロンであるが、装置のブレイクダウン電圧に依存し、従ってそれと共に変化することが可能である。トレンチ41がエッチングによって形成されており且つゲート酸化物層43が任意の公知の方法、例えばホトマスク及び熱サイクリングによって、シリコン表面

40上に様に成長されている。

【0017】図4cにおいては、図4bのシリコン表面40に対して更に二つの付着物が付加されている。第一に、各トレンチ41はN型ポリシリコン45で埋め戻されている。第二に、表面構成体46a、46b、46cがN型ポリシリコン45から形成されている。表面構成体46bはトレンチ42からなる中央のグループの上方に様に整合されるように形成されている。中央のグループ42の上方に形成されているこの表面構成体46bは二つの横方向に配置された表面構成体46a及び46cからギャップ47だけ離されている。これらの表面構成体46a、46b、46cは、各表面構成体対、即ち46aと46bとの間及び46bと46cとの間の区域内に整合されている1個のトレンチ41と共に形成されている。図4dはギャップ47を介してのウェルを形成する状態を示している。イオン注入が矢印48によって示してある。図2に示したものと同様のウェルの形成において、P型ウェル49（Pウェル）及びN型ウェル50（Nウェル）を形成するためにドーパントを分布させ且つ欠陥を除去するための熱拡散と共にイオン注入48が使用される。一般的に使用されるボロン注入物及び酸素注入物をウェルを形成する場合に使用し、任意の適宜の従来技術の方法を使用することが可能である。P型ウェル49はチャンネル（P-）及び高濃度のボディー（P+）物質を有している（図2にも詳細が示されている）。N型ウェル50はソース（N+）物質として形成される。図4eにおいて、表面構成体46a、46b、46cの各々を取囲むようにシリコン表面40上に層間誘電体51が付着形成されている。誘電体51は、好適には、ボロン・リン酸ガラス（BPSG）であるが、別法としてリン酸ガラス（PSG）を使用することも可能である。誘電体51をソース金属コンタクト領域52a及び52bを形成するような態様でパターン形成する。上部金属53を付着形成し、それによって、図4fに示したようにソース54a及び54bを形成する。ソース54aと54bの間にはゲート58によって形成されるトレンチゲート信号バス領域55が形成されている。上部金属53が各DMOSセルアレイを並列的に接続させる。本発明の重要な特徴は、矢印59によって示される電流導通経路である。従来のMOSFET構成における典型的な横方向導通経路と対比して、本発明の電流導通経路59はエピタキシャル層及び基板を介して垂直方向に整合されている。チャンネル接合はポリシリコン及びトレンチに対して自己整合されている。

【0018】以上、本発明の具体的実施の態様について

詳細に説明したが、本発明は、これら具体例にのみ制限されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。例えば、上述した説明においては、本発明をPチャンネルパワーMOSFETについて説明したが、本発明はNチャンネルパワーMOSFET及びそれらの関連する製造方法に対しても適用可能であることは勿論である。

【図面の簡単な説明】

10 【図1】 従来のプレーナーDMOSユニットセル構成を示した概略図。

【図2】 従来のトレンチDMOS装置を示した概略図。

【図3】 本発明の好適実施例に基づいてトレンチを使用したゲート信号バスを示しており且つ向上させた電圧保護のためのメカニズムを示した概略図。

【図3a】 トレンチ間隔に関する向上させた電圧保護のためのメカニズムを示した図3に示したもののゲート信号バスを部分的に拡大して示した概略図。

20 【図4a】 本発明に基づくゲート信号バス製造において使用されるトレンチプロセスの一つの段階における状態を示した概略図。

【図4b】 本発明に基づくゲート信号バス製造において使用されるトレンチプロセスの一つの段階における状態を示した概略図。

【図4c】 本発明に基づくゲート信号バス製造において使用されるトレンチプロセスの一つの段階における状態を示した概略図。

30 【図4d】 本発明に基づくゲート信号バス製造において使用されるトレンチプロセスの一つの段階における状態を示した概略図。

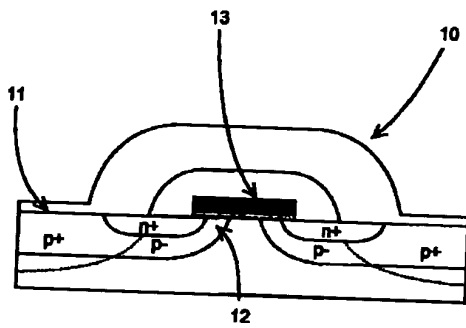
【図4e】 本発明に基づくゲート信号バス製造において使用されるトレンチプロセスの一つの段階における状態を示した概略図。

【図4f】 本発明に基づくゲート信号バス製造において使用されるトレンチプロセスの一つの段階における状態を示した概略図。

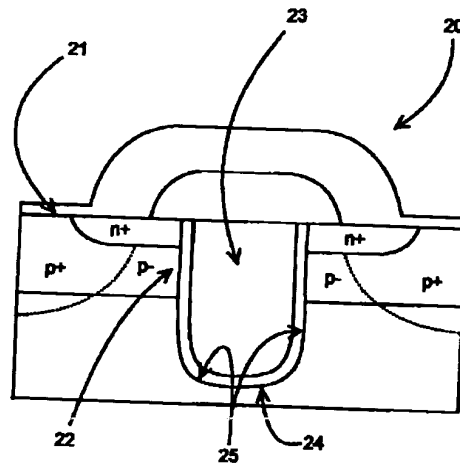
【符号の説明】

- 30 パワーMOSFETゲート信号バス
- 40 31、32、33 トレンチ
- 34 空乏領域オーバーラップ部
- 31a、32a、33a 空乏領域
- 36 薄いゲート酸化物層
- 37 空間電荷境界

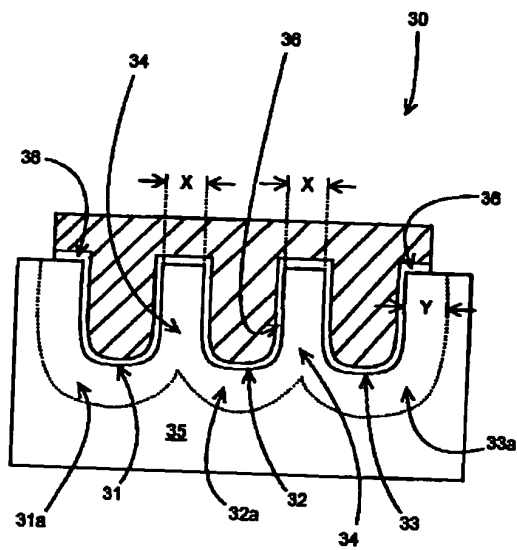
【図1】



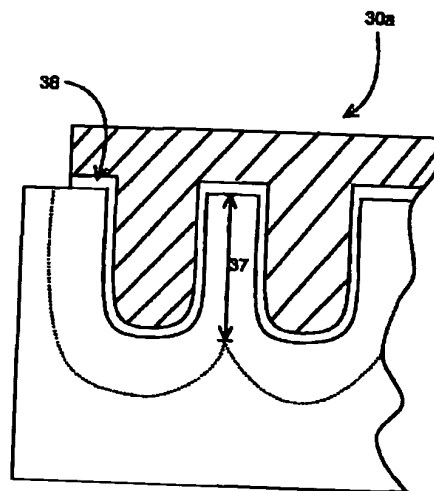
【図2】



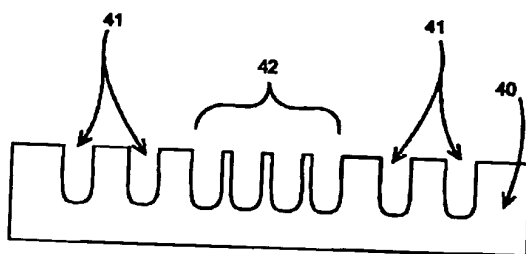
【図3】



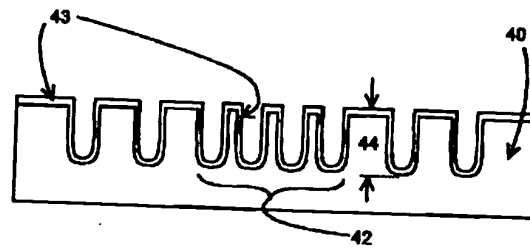
【図3a】



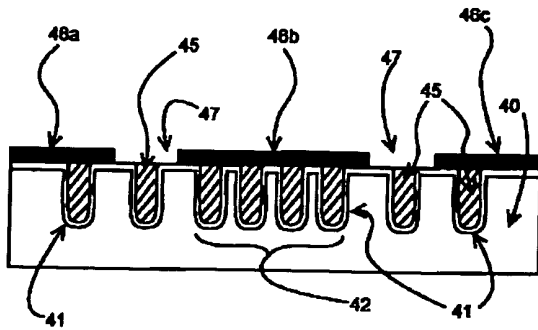
【図4a】



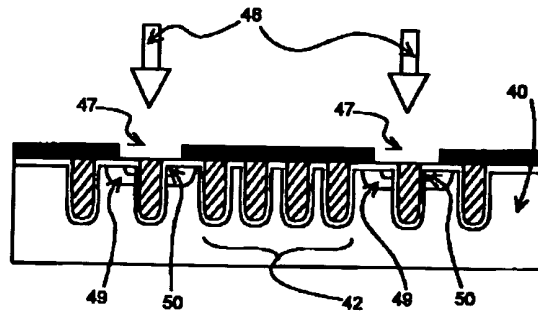
【図4b】



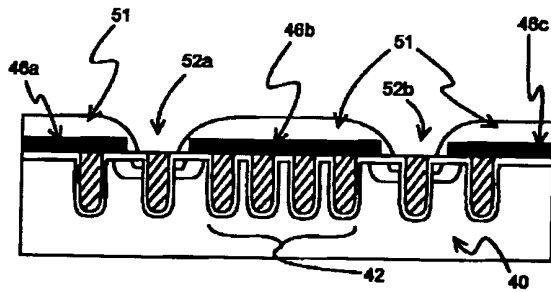
【☒4c】



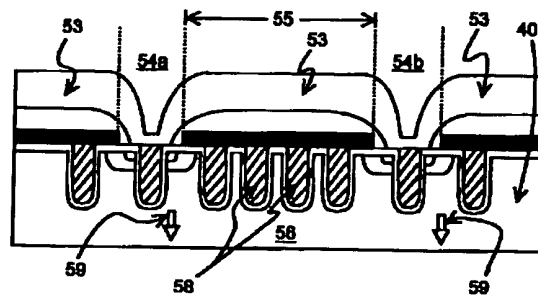
【☒4d】



【図4 e】



【図4 f】



CLIPPEDIMAGE= JP411284174A

PAT-NO: JP411284174A

DOCUMENT-IDENTIFIER: JP 11284174 A

TITLE: FIELD CONNECTION-TYPE POWER MOSFET BUS ARCHITECTURE
USING TRENCH
TECHNOLOGY

PUBN-DATE: October 15, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
CALAFUT, DANIEL S	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FAIRCHILD SEMICONDUCTOR CORP	N/A

APPL-NO: JP11019040

APPL-DATE: January 27, 1999

INT-CL (IPC): H01L029/78

US-CL-CURRENT: 257/E29.131,257/E29.26

ABSTRACT:

PROBLEM TO BE SOLVED: To provide improved depletion area width, by forming an oxide layer on the walls of a plurality of trenches in the trenches and on the upper surface of a substrate, forming surface constitution bodies on the oxide layer, and forming a plurality of gates with the parts of the surface constitution bodies.

SOLUTION: A plurality of detached trenches 41 are formed on the surface 40 of a silicon substrate. The trenches in a center group constituted of the trenches 41 are detached by prescribed distances. A gate oxide layer 43 is formed on

the exposed upper part of the silicon substrate surface 40 and surface constitution bodies 46a, 46b and 46c are formed on the gate oxide layer 43 from N-type polysilicon 45. A plurality of gates are formed into a plurality of trenches provided below the surface constitution body 46b formed above the center group 42. Thus, bus architecture can efficiently be manufactured.

COPYRIGHT: (C)1999,JPO